

PAT-NO: JP363192149A
DOCUMENT-IDENTIFIER: JP 63192149 A
TITLE: DATA BUS CONTROLLER
PUBN-DATE: August 9, 1988

INVENTOR-INFORMATION:

NAME	COUNTRY
EMURA, TOKUO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NISSIN ELECTRIC CO LTD	N/A

APPL-NO: JP62025383
APPL-DATE: February 5, 1987

INT-CL (IPC): G06F013/20

ABSTRACT:

PURPOSE: To prevent an oscillation phenomenon on a data bus by setting a flip-flop FF when a memory read signal outputted from a CPU is active and then resetting the FF when the output of a gate circuit is inactive.

CONSTITUTION: An FF25 is set when the memory read signal outputted from a CPU 1 is active and then reset when the output of a gate circuit 26 is inactive respectively. Therefore, the conducting direction of a bidirectional driver 15 is fixed in a read mode before the output control signal given to the driver 15. At the same time, the fixed conducting direction is kept even after the output control signal is inactive and the driver 15 is cut off. Thus the driver 15 conducts only in the direction where the driver 15 moves toward the CPU 1 from a peripheral circuit in the read mode. As a result, an oscillation phenomenon is prevented on a data bus 7.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-192149

⑮ Int. Cl.⁴
G 06 F 13/20識別記号
3 1 0庁内整理番号
G-8840-5B

⑬ 公開 昭和63年(1988)8月9日

審査請求 未請求 発明の数 1 (全12頁)

⑭ 発明の名称 データバス制御装置

⑰ 特 願 昭62-25383

⑱ 出 願 昭62(1987)2月5日

⑲ 発 明 者 江 村 徳 男 京都府京都市右京区梅津高畝町47番地 日新電機株式会社
⑳ 出 願 人 日新電機株式会社 京都府京都市右京区梅津高畝町47番地
㉑ 代 理 人 弁理士 宮井 咲夫

明 細 書

1. 発明の名称

データバス制御装置

2. 特許請求の範囲

CPUと周辺素子とを接続する双方向のデータバス中に介挿した双方向性ドライバと、

前記CPUから出力されるメモリリード信号がアクティブとなったタイミングでセットされセット状態の出力を前記双方向性ドライバに対し前記周辺素子から前記CPUへ向かう方向を導通方向として指定するための方向制御信号として与えるとともにリセット状態の出力を前記双方向性ドライバに対し前記CPUから前記周辺素子へ向かう方向を導通方向として指定するための方向制御信号として与えるフリップフロップと、

前記フリップフロップからセット状態の出力が発生しかつ前記メモリリード信号がアクティブとなったときおよび前記フリップフロップからリセット状態の出力が発生しかつ前記CPUから出力されるメモリライト信号がアクティブとなったと

きに出力をアクティブにして前記双方向性ドライバに対し導通させるための出力制御信号として与えるとともにこの出力がインアクティブとなった時に前記フリップフロップをリセットするゲート回路とを備えたデータバス制御装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、マイクロコンピュータ等においてCPU(中央処理装置)とメモリ回路等の周辺装置とを結ぶ双方向性のデータバスの接続および切離しの制御ならびに方向制御を行うデータバス制御装置に関するものである。

〔従来の技術〕

第4図はマイクロコンピュータの一般的な構成の一例のブロック図を示している。このマイクロコンピュータは、第4図に示すように、CPU1と周辺回路であるメモリ回路2、入出力回路3およびインタフェース回路4とをバス5で接続している。

第5図はCPU1に接続されるバス5を具体的

に示すブロック図である。バス5は、第5図に示すように、単方向性のアドレスバス6と双方向性のデータバス7と単方向性のコントロールバス8との3種類からなり、コントロールバス8については、本発明に係るメモリリード信号線8aおよびメモリライト信号線8bのみ図示している。上記双方向性のデータバス7は、CPU1がリードモードの時はデータ \overline{D} がCPU1に入る方向に流れ、CPU1がライトモードの時はデータ \overline{D} がCPU1から出る方向に流れる。アドレス \overline{A} とメモリリード信号 \overline{MEMR} およびメモリライト信号 \overline{MEMW} は、常にCPU1から出る方向に流れる。

第6図は第4図および第5図に示したマイクロコンピュータにおけるリードモード時およびライトモード時のタイムチャートで、(a)はアドレス \overline{A} を、(b)はメモリリード信号 \overline{MEMR} を、(c)はメモリライト信号 \overline{MEMW} を、(d)はデータ \overline{D} をそれぞれ示している。

このマイクロコンピュータは、リードモード時

らのデータ \overline{D} の出力が終了する。メモリ回路2へは、通常メモリライト信号 \overline{MEMW} がローレベルからハイレベルに切替わるタイミングで書き込まれることになる。

なお、第6図(d)において、データ \overline{D}_1 は周辺回路であるメモリ回路2より出力され、データ \overline{D}_2 はCPU1より出力される。

また、CPU1による読み出し動作および書き込み動作は、アドレス \overline{A} を変更することによって、入出力回路3やインタフェース回路4に対して行うこともできる。

上記のように、マイクロコンピュータにおいては、リードモード時とライトモード時とでデータ \overline{D} の流れる方向が逆になり、CPU1と例えばメモリ回路2との間でデータ \overline{D} の受け渡しを正しく行うには、アドレス \overline{A} とメモリリード信号 \overline{MEMR} およびメモリライト信号 \overline{MEMW} とに基づきデータバス7と例えばメモリ回路2のデータ入力端子との接続、切替の制御およびデータ \overline{D} を流す方向を制御するデータバス制御装置を設ける必

には、CPU1が所定のアドレス \overline{A} を出力し、このアドレス \overline{A} によって周辺回路のうち例えばメモリ回路2が選択される。この後、メモリリード信号 \overline{MEMR} がローレベルになると、選択されたメモリ回路2からデータ \overline{D} が出力され、このデータ \overline{D} がデータバス7上に現れる。このデータ \overline{D} は、メモリリード信号 \overline{MEMR} がローレベルになった後メモリ回路2のアクセス時間経過後で安定し、メモリリード信号 \overline{MEMR} がハイレベルになる直前に、CPU1の内部のレジスタに読み込まれる。そして、メモリリード信号 \overline{MEMR} がハイレベルになった後でメモリ回路2からのデータ \overline{D} の出力が終了する。

一方、ライトモード時には、CPU1が所定のアドレス \overline{A} を出力し、このアドレス \overline{A} によって周辺回路のうち例えばメモリ回路2が選択される。この後、メモリライト信号 \overline{MEMW} がローレベルになると同時にCPU1からデータバス7上にデータ \overline{D} が出力される。そして、メモリライト信号 \overline{MEMW} がハイレベルになった後CPU1か

らがあり、メモリ回路2等の周辺回路はデータバス制御装置を含んで構成している。

第7図は第4図のマイクロコンピュータの具体的なブロック図を示している。ただし、入出力回路3およびインタフェース回路4の図示は省いている。

このマイクロコンピュータは、第7図に示すように、CPU1とメモリ回路2とをアドレスバス6、データバス7およびコントロールバス8(メモリリード信号線8aおよびメモリライト信号線8bのみを図示)で接続している。

上記のアドレスバス6を通して周辺回路に与えられるアドレス \overline{A} は、例えば上位2ビットの周辺回路選択用アドレスと例えば下位14ビットのデータ記憶場所アドレスとから構成され、データバス7を通るデータ \overline{D} は例えば8ビットである。

メモリ回路2は、アドレスバス6を信号反転用のインバータ11の入力端に接続し、インバータ11の出力端のうち下位14ビットをRAM12のアドレス入力端に接続してインバータ11の出

力端のうち上位2ビットを比較器13の一方の入力端に接続し、比較器13の他方の入力端には周辺回路選択用アドレス設定用の設定器14の出力端を接続している。

また、データバス7を双方向性ドライバ15の一方の入出力端に接続し、この双方向性ドライバ15の他方の入出力端をRAM12のデータ入出力端に接続している。

また、メモリリード信号線8aをバッファ16を介してRAM12のメモリリード信号入力端に接続するとともに、メモリライト信号線8bをバッファ17を介してRAM12のメモリライト信号入力端に接続している。

また、比較器13の出力端を双方向性ドライバ15の出力制御信号入力端に接続するとともに、バッファ16の出力端を双方向性ドライバ15の方向制御信号入力端に接続する。

上記したマイクロコンピュータの中で、比較器13、設定器14、双方向性ドライバ15がデータバス制御装置を構成する。

れるメモリリード信号 \overline{MEMR} を、(c)は同じくメモリライト信号線8bを通して出力されるメモリライト信号 \overline{MEMW} を、(d)はRAM12および比較器13に入力されるアドレスADを、(e)は比較器13の出力 \overline{Y} すなわち双方向性ドライバ15へ入力される出力制御信号 \overline{OC} を、(f)は双方向性ドライバ15へ入力される方向制御信号DIRすなわちRAM12へ入力されるリード信号 \overline{R} を、(g)はRAM12へ入力されるライト信号 \overline{W} を、(h)はRAM12から出力されるデータDをそれぞれ示している。

ここで、第8図を参照して第7図のマイクロコンピュータのライトモード時の動作を説明する。CPU1からアドレス \overline{AD} が出力されると、これより少し遅れてRAM12および比較器13へアドレスADが入力される。また、CPU1から出力されるメモリリード信号 \overline{MEMR} はハイレベルのままであり、したがってRAM12へ入力されるリード信号 \overline{R} もハイレベルのままであり、さらに双方向性ドライバ15へ入力される方向制御信

第8図および第9図は、第7図のマイクロコンピュータのライトモード時およびリードモード時の動作を示すタイムチャートである。第8図において、(a)はCPU1からアドレスバス6を通して出力されるアドレス \overline{AD} を、(b)は同じくメモリリード信号線8aを通して出力されるメモリリード信号 \overline{MEMR} を、(c)は同じくメモリライト信号線8bを通して出力されるメモリライト信号 \overline{MEMW} を、(d)は同じくデータバス7を通して出力されるデータ \overline{D} を、(e)はRAM12および比較器13に入力されるアドレスADを、(f)は比較器13の出力 \overline{Y} すなわち双方向性ドライバ15へ入力される出力制御信号 \overline{OC} を、(g)は双方向性ドライバ15へ入力される方向制御信号DIRすなわちRAM12へ入力されるリード信号 \overline{R} を、(h)はRAM12へ入力されるライト信号 \overline{W} をそれぞれ示している。また、第9図において、(a)はCPU1からアドレスバス6を通して出力されるアドレス \overline{AD} を、(b)は同じくメモリリード信号線8aを通して出力さ

号DIRもハイレベルのままである。

比較器13へアドレスADの上位ビットが入力されると、このアドレスADの上位ビットと設定器14の出力とが一致すれば、比較器13の出力 \overline{Y} がローレベルになり、したがって双方向性ドライバ15の出力制御信号 \overline{OC} がローレベルとなる。このとき、方向制御信号DIRがハイレベルであるので、出力制御信号 \overline{OC} がローレベルとなった時点から双方向性ドライバ15がCPU1からRAM12の方向に導通する。

CPU1からアドレス \overline{AD} が出力された後、CPU1から出力されるメモリライト信号 \overline{MEMW} がローレベルになり、これと同時にデータ \overline{D} がCPU1から出力される。メモリライト信号 \overline{MEMW} がローレベルになると、これより少し遅れてRAM12へ入力されるライト信号 \overline{W} がローレベルとなる。このとき、双方向性ドライバ15が導通しているので、データ \overline{D} は双方向性ドライバ15で反転されてRAM12のデータ入出力端にデータDとして入力される。

この後、メモリライト信号 \overline{MEMW} がハイレベルとなり、これより少し遅れてライト信号 \overline{W} がハイレベルとなり、このライト信号 \overline{W} がローレベルからハイレベルに変化するときRAM12のアドレスADで指定された場所にデータDが書き込まれる。

この後、ある時間経過するとCPU1からのデータDの出力がなくなり、アドレスADもメモリ回路2と対応しないものとなり、比較器13の出力 \overline{Y} がハイレベルとなり、したがって双方向性ドライバ15の出力制御信号 \overline{OC} がハイレベルとなり、双方向性ドライバ15が遮断する。

つぎに、第9図を参照して第7図のマイクロコンピュータのリードモード時の動作を説明する。CPU1からアドレスADが出力されると、これより少し遅れてRAM12および比較器13へアドレスADが入力される。また、CPU1から出力されるメモリライト信号 \overline{MEMW} はハイレベルのままであり、したがって、RAM12へ入力されるライト信号 \overline{W} もハイレベルのままである。ま

始める。なお、時刻 t_1 直後のアクセス時間はデータDが不安定で、アクセス時間の終了後データDが安定する。このデータDは双方向性ドライバ15で反転された後CPU1に入力される。

CPU1は、メモリリード信号 \overline{MEMR} をハイレベルに変化する直前にデータDを内部レジスタに読み込む。メモリリード信号 \overline{MEMR} がハイレベルとなると、これより少し遅れた時刻 t_2 で方向制御信号DIRおよびリード信号 \overline{R} がハイレベルになる。この結果、ただちに双方向性ドライバ15の導通方向が元にもどり、また時刻 t_2 よりもさらに遅れた時刻 t_3 でRAM12からデータDの出力が停止する。

この後、アドレスADがメモリ回路2と対応しないものとなり、比較器13の出力 \overline{Y} がハイレベルとなり、したがって双方向性ドライバ15の出力制御信号 \overline{OC} がハイレベルとなり、双方向性ドライバ15が遮断する。

(発明が解決しようとする問題点)

上記した従来のマイクロコンピュータのデータ

た、メモリリード信号 \overline{MEMR} はハイレベルであり、双方向性ドライバ15へ入力される方向制御信号DIRもハイレベルである。

比較器13へアドレスADの上位ビットが入力されると、このアドレスADの上位ビットと設定器13の出力とが一致すれば、比較器13の出力 \overline{Y} がローレベルになり、したがって双方向性ドライバ15の出力制御信号 \overline{OC} がローレベルとなる。このとき、方向制御信号DIRがハイレベルであるので、出力制御信号 \overline{OC} がローレベルとなった時点から双方向性ドライバ15がCPU1からRAM12の方向に導通する。

CPU1からアドレスADが出力された後、CPU1から出力されるメモリリード信号 \overline{MEMR} がローレベルになると、これより少し遅れた時刻 t_1 で方向制御信号DIRおよびリード信号 \overline{R} がローレベルとなり、この時点より双方向性ドライバ15の導通方向が逆転するとともに、RAM12におけるアドレスADで指定された場所の読み出しのためのアクセスが始まりデータDが出力され

バス制御装置においては、RAM12に入力されるリード信号 \overline{R} をそのまま双方向性ドライバ15に方向制御信号DIRとして加えるとともに、比較器13の出力 \overline{Y} をそのまま双方向性ドライバ15に出力制御信号 \overline{OC} として加える構成であったため、リードモード時において、出力制御信号 \overline{OC} が方向制御信号DIRより先にローレベル(アクティブ)になり、かつ方向制御信号DIRより遅れてハイレベル(インアクティブ)になることから、双方向性ドライバ15がまずCPU1からRAM12の方向へ導通し、ついでRAM12からCPU1の方向へ導通し、ついでCPU1からRAM12の方向へ導通し、その後遮断することになり、都合2回導通方向を変化することになる。

最初にCPU1からRAM12の方向へ双方向性ドライバ15が導通する時には、リード信号 \overline{R} がローレベルとなっておらずRAM12がアクセスされていないので問題はないが、時刻 t_2 以後においてCPU1からRAM12の方向へ双方向性ドライバ15が導通する時にはつぎのような問

題がある。すなわち、時刻 t_2 でリード信号 \overline{R} がハイレベルとなっても時刻 t_3 までRAM12がデータDの出力を待越し、この時に双方向性ドライバ15がCPU1からRAM12の方向へ導通していることから、CPU1からデータバス7を通して出ていこうとするデータ \overline{D} とRAM12が出力を待越ししているデータDとの衝突が起こり、データバス7上で不要な発振が生じ、次のRAM12のアクセスを正常に行えなくなるという問題があった。

この発明の目的は、データバス上でのデータの衝突を防止することができるデータバス制御装置を提供することである。

〔問題点を解決するための手段〕

この発明のデータバス制御装置は、CPUと周辺素子とを接続する双方向のデータバス中に介挿した双方向性ドライバと、

前記CPUから出力されるメモリリード信号がアクティブとなったタイミングでセットされセット状態の出力を前記双方向性ドライバに対し前記

し、フリップフロップのセット状態の出力を双方向性ドライバに対し周辺回路からCPUへ向かう方向を導通方向として指定するための方向制御信号として与えるとともに、フリップフロップのリセット状態の出力を双方向性ドライバに対しCPUから周辺回路へ向かう方向を導通方向として指定するための方向制御信号として与え、かつフリップフロップからのセット状態の出力が発生しかつメモリリード信号がアクティブとなったときとフリップフロップからリセット状態の出力が発生しかつメモリライト信号がアクティブとなったときとにゲート回路が出力をアクティブにして双方向性ドライバに対し導通させるための出力制御信号として与え、上記ゲート回路の出力がインアクティブとなった時にフリップフロップをリセットするようにしているため、リードモード時において読み出しのための双方向性ドライバの導通方向を双方向性ドライバに与えられる出力制御信号がアクティブとなる前に確定するとともに出力制御信号がインアクティブとなって双方向性ドライバ

周辺素子から前記CPUへ向かう方向を導通方向として指定するための方向制御信号として与えるとともにリセット状態の出力を前記双方向性ドライバに対し前記CPUから前記周辺素子へ向かう方向を導通方向として指定するための方向制御信号として与えるフリップフロップと、

前記フリップフロップからセット状態の出力が発生しかつ前記メモリリード信号がアクティブとなったときおよび前記フリップフロップからリセット状態の出力が発生しかつ前記CPUから出力されるメモリライト信号がアクティブとなったときに出力をアクティブにして前記双方向性ドライバに対し導通させるための出力制御信号として与えるととともにこの出力がインアクティブとなった時に前記フリップフロップをリセットするゲート回路とを備えている。

〔作用〕

この発明のデータバス制御装置によれば、CPUから出力されるメモリリード信号がアクティブとなったタイミングでフリップフロップをセット

が遮断した後まで導通方向確定状態を保持することができる。したがって、リードモード時には双方向性ドライバが周辺回路からCPUへ向かう方向にしか導通せず、従来例のように周辺回路からデータが出力されているのに双方向性ドライバがCPUから周辺回路へ向かう方向に導通することなく、データバス上でのデータの衝突を防止でき、データバス上での発振現象を防止することができる。

〔実施例〕

この発明の一実施例を第1図ないし第3図に基づいて説明する。このデータバス制御装置は、第1図に示すように、双方向性ドライバ15と、フリップフロップ25と、ゲート回路26とで構成されている。

双方向性ドライバ15は、CPU1と周辺素子であるRAM12とを接続する双方向のデータバス7中に介挿している。

フリップフロップ25は、CPU1から出力されるメモリリード信号 \overline{MEMR} がアクティブとな

ったタイミングでセットされセット状態の出力を双方向性ドライバ15に対し周辺素子であるRAM12からCPU1へ向かう方向を導通方向として指定するための方向制御信号DIRとして与えらるとともにリセット状態の出力を双方向性ドライバ15に対しCPU1から周辺素子であるRAM12へ向かう方向を導通方向として指定するための方向制御信号DIRとして与える。

ゲート回路26は、フリップフロップ25からセット状態の出力が発生しかつメモリリード信号MEMRがアクティブとなったときおよびフリップフロップ25からリセット状態の出力が発生しかつCPU1から出力されるメモリライト信号MRWがアクティブとなったときに出力をアクティブにして双方向性ドライバ15に対し導通させるための出力制御信号OCとして与えらるとともにこの出力がインアクティブとなった時にフリップフロップ25をリセットする。

以下、データバス制御装置を含むマイクロコンピュータを図面に従って説明する。このマイクロ

コンピュータは、第1図に示すように、CPU1とメモリ回路2'とを従来例と同様にアドレスバス6、データバス7およびコントロールバス8で接続している。

メモリ回路2'は、インバータ11、RAM12、比較器13、設定器14および双方向性ドライバ15、インバータ16、17については従来例と同じであり、この構成にノアゲート20、21からなるフリップフロップ25とアンドゲート22、23およびノアゲート24からなるゲート回路26とアンドゲート18、19とを追加したものである。

フリップフロップ25およびゲート回路26は前記した機能を持ち、アンドゲート18、19は、アドレスADの上位ビットと設定器14の出力とが一致した時に発生する比較器13の出力Yで導通してメモリリード信号MEMRおよびメモリライト信号MRWをRAM12およびフリップフロップ25に供給させる機能をもつ。

第2図および第3図は第1図のマイクロコンピ

ュータのライトモード時およびリードモード時の動作を示すタイムチャートである。第2図において、(a)はCPU1からアドレスバス6を通して出力されるアドレスADを、(b)は同じくメモリリード信号線8aを通して出力されるメモリリード信号MEMRを、(c)は同じくメモリライト信号線8bを通して出力されるメモリライト信号MRWを、(d)は同じくデータバス7を通して出力されるデータDを、(e)はRAM12および比較器13に入力されるアドレスADを、(f)は比較器13の出力Yを、(g)はRAM12へ入力されるリード信号Rを、(h)はRAM12へ入力されるライト信号Wを、(i)は双方向性ドライバ15へ入力される方向制御信号DIRを、(j)は双方向性ドライバ15へ入力される出力制御信号OCをそれぞれ示している。また、第3図において、(a)はCPU1からアドレスバス6を通して出力されるアドレスADを、(b)は同じくメモリリード信号線8aを通して出力されるメモリリード信号MEMRを、(c)

は同じくメモリライト信号線8bを通して出力されるメモリライト信号MRWを、(d)はRAM12および比較器13に入力されるアドレスADを、(e)は比較器13の出力Yを、(f)はRAM12へ入力されるリード信号Rを、(g)はRAM12へ入力されるライト信号Wを、(h)は双方向性ドライバ15へ入力される方向制御信号DIRを、(i)は双方向性ドライバ15へ入力される出力制御信号OCを、(j)はRAM12から出力されるデータDをそれぞれ示している。

ここで、第2図を参照して第1図のマイクロコンピュータのライトモード時の動作を説明する。CPU1からアドレスADが出力されると、これより少し遅れてRAM12および比較器13へアドレスADが入力される。

比較器13へアドレスADの上位ビットが入力されると、このアドレスADの上位ビットと設定器14の出力とが一致すれば、比較器13の出力Yがローレベルになり、アンドゲート18、19が導通してメモリリード信号MEMRおよびメモ

ライト信号 \overline{MEMW} がフリップフロップ25に
入力されるとともにインバータ16、17を通し
てRAM12へ入力されることになる。この際、
CPU1から出力されるメモリリード信号 \overline{MEMR}
はハイレベル（インアクティブ）のままであり、
したがって、RAM12へ入力されるリード信号
 \overline{R} もハイレベルのままである。また、フリップフ
ロップ25はリセット状態にあるため、方向制御
信号DIRもハイレベルのままである。

CPU1からなるアドレス \overline{AD} が出力された後、
CPU1から出力されるメモリライト信号 \overline{MEMW}
がローレベル（アクティブ）になり、これと同
時にデータ \overline{D} がCPU1から出力される。メモリ
ライト信号 \overline{MEMW} がローレベルになると、これ
より少し遅れてRAM12へ入力されるライト信
号 \overline{W} がローレベルとなる。この結果、双方向性ド
ライバ15へ入力される出力制御信号 \overline{OC} がロー
レベル（アクティブ）となり、双方向性ドライ
バ15はCPU1からRAM12の方向へ導通し、
データ \overline{D} は双方向性ドライバ15で反転されてR

より少し遅れてRAM12および比較器13へア
ドレス \overline{AD} が入力される。

比較器13へアドレス \overline{AD} の上位ビットが入力
されると、このアドレス \overline{AD} の上位ビットと設定
器13の出力とが一致すれば、比較器13の出力
 \overline{Y} がローレベルになり、アンドゲート18、19
が導通してメモリリード信号 \overline{MEMR} およびメモ
リライト信号 \overline{MEMW} がフリップフロップ25に
入力されるとともにインバータ16、17を通し
てRAM12へ入力されることになる。この際、
CPU1から出力されるメモリライト信号 \overline{MEMW}
はハイレベル（インアクティブ）のままであり、
したがってRAM12へ入力されるライト信号 \overline{W}
もハイレベルのままである。また、メモリリード
信号 \overline{MEMR} がまだハイレベル（インアクティブ）
であり、フリップフロップ25がリセット状態に
あるため、方向制御信号DIRもハイレベルであ
る。

CPU1からアドレス \overline{AD} が出力された後、C
PU1から出力されるメモリリード信号 \overline{MEMR}

RAM12のデータ入出力端にデータDとして入力
される。

この後、メモリライト信号 \overline{MEMW} がハイレ
ベル（インアクティブ）となり、これより少し遅
れてライト信号 \overline{W} がハイレベルとなり、このライト
信号 \overline{W} がローレベルからハイレベルに変化すると
きにRAM12のアドレスADで指定された場所
にデータDが書き込まれる。

また、ライト信号 \overline{W} がハイレベルとなったこと
により出力制御信号 \overline{OC} がハイレベル（インアク
ティブ）となり、双方向性ドライバ15が遮断す
る。

この後、ある時間経過するとCPU1からのデ
ータ \overline{D} の出力がなくなり、アドレス \overline{AD} もメモリ
回路2と対応しないものとなり、比較器13の出
力 \overline{Y} がハイレベルとなり、アンドゲート18、19
が遮断する。

つぎに、第3図を参照して第1図のマイクロコ
ンピュータのリードモード時の動作を説明する。
CPU1からアドレス \overline{AD} が出力されると、これ

がローレベル（アクティブ）になると、これより
少し遅れてリード信号 \overline{R} がローレベルとなり、こ
の時点よりRAM12がアクセスされてデータD
が出力され始めるとともに、少し遅れて方向制御
信号DIRがローレベルとなり、さらにこの後出
力制御信号 \overline{OC} がローレベル（アクティブ）とな
り、双方向性ドライバ15がRAM12からCP
U1の方向へ導通し、データDが双方向性ドライ
バ15で反転されてCPU1にデータ \overline{D} として入
力される。

CPU1はメモリリード信号 \overline{MEMR} をハイレ
ベル（インアクティブ）に変化する直前にデータ
 \overline{D} を内部レジスタに読み込む。メモリリード信号
 \overline{MEMR} がハイレベルとなると、これより少し遅
れてリード信号 \overline{R} がハイレベルになる。この結果、
出力制御信号 \overline{OC} がハイレベルとなって双方向性
ドライバ15が遮断する。そして、出力制御信号
 \overline{OC} がハイレベルとなることによりフリップフロ
ップ25がリセットされ、方向制御信号DIRが
ハイレベルに復帰する。

そして、この後RAM12からのデータDの出力が停止する。

この後、アドレスADがメモリ回路2と対応しないものとなり、比較器13の出力Yがハイレベルとなり、ゲート18、19が遮断する。

なお、フリップフロップ25はゲート19の出力でもリセットされる。

この実施例は、CPU1から出力されるメモリリード信号MEMRがアクティブとなったタイミング(立下がり)でフリップフロップ25をセットし、フリップフロップ25のセット状態の出力を双方向性ドライバ15に対しRAM12からCPU1へ向かう方向を導通方向として指定するための方向制御信号DIR(ローレベル)として与え、るとともに、フリップフロップ25のリセット状態の出力を双方向性ドライバ15に対しCPU1からRAM12へ向かう方向を導通方向として指定するための方向制御信号DIR(ハイレベル)として与え、かつフリップフロップ25からセット状態の出力が発生しかつメモリリード信号MEMR

方向に導通することはなく、データバス7上でのデータの衝突を防止でき、データバス7上での発振現象を防止することができ、アクセスを正常に行える。

なお、上記実施例では、周辺素子がRAM12である場合について説明したが、ROMであってよく、またメモリ以外の入出力素子等であってもよい。

(発明の効果)

この発明のデータバス制御装置によれば、CPUから出力されるメモリリード信号がアクティブとなったタイミングでフリップフロップをセットし、フリップフロップのセット状態の出力を双方向性ドライバに対し周辺回路からCPUへ向かう方向を導通方向として指定するための方向制御信号として与え、るとともに、フリップフロップのリセット状態の出力を双方向性ドライバに対しCPUから周辺回路へ向かう方向を導通方向として指定するための方向制御信号として与え、かつフリップフロップからのセット状態の出力が発生しか

つMEMRがアクティブ(ローレベル)となったときとフリップフロップ25からリセット状態の出力が発生しかつメモリライト信号MEMWがアクティブ(ローレベル)となったときにゲート回路26が出力をアクティブにして双方向性ドライバ15に対し導通させるための出力制御信号OCとして与え、上記ゲート回路26の出力がインアクティブとなった時にフリップフロップ25をリセットするようにしているため、リードモード時に読み出しのための双方向性ドライバ15の導通方向をアクティブ(ローレベル)の出力制御信号OCが双方向性ドライバ15に与えられる前に確定するとともに出力制御信号OCがインアクティブ(ハイレベル)となって双方向性ドライバ15が遮断した後まで導通方向確定状態を保持することができる。したがって、リードモード時には双方向性ドライバ15がRAM12からCPU1へ向かう方向にしか導通せず、従来例のようにRAM12からデータDが出力されているのに双方向性ドライバ15がCPU1からRAM12へ向かう

メモリリード信号がアクティブとなったときとフリップフロップからリセット状態の出力が発生しかつメモリライト信号がアクティブとなったときにゲート回路が出力をアクティブにして双方向性ドライバに対し導通させるための出力制御信号として与え、上記ゲート回路の出力がインアクティブとなった時にフリップフロップをリセットするようにしているため、リードモード時において読み出しのための双方向性ドライバの導通方向を双方向性ドライバに与えられる出力制御信号がアクティブとなる前に確定するとともに出力制御信号がインアクティブとなって双方向性ドライバが遮断した後まで導通方向確定状態を保持することができる。したがって、リードモード時には双方向性ドライバが周辺回路からCPUへ向かう方向にしか導通せず、従来例のように周辺回路からデータが出力されているのに双方向性ドライバがCPUから周辺回路へ向かう方向に導通することはなく、データバス上でのデータの衝突を防止でき、データバス上での発振現象を防止することができ

る。

4. 図面の簡単な説明

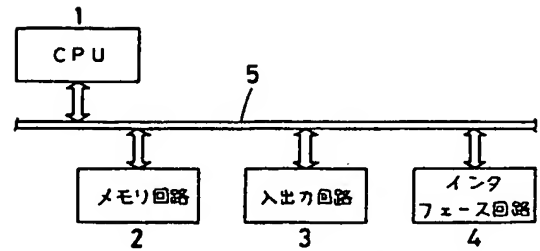
第1図はこの発明の一実施例を示すブロック図、第2図はそのライトモード時のタイムチャート、第3図は同じくそのリードモード時のタイムチャート、第4図は従来のマイクロコンピュータの一例の概略ブロック図、第5図はバスの構成を示すブロック図、第6図はそのタイムチャート、第7図は第4図の具体的な構成を示すブロック図、第8図および第9図はその動作を示すタイムチャートである。

1…CPU、7…データバス、12…RAM、
15…双方向性ドライバ、25…フリップフロップ、
26…ゲート回路

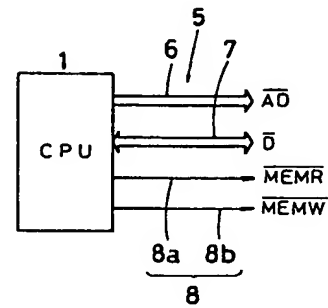
特許出願人 日新電機株式会社

代理人 弁理士 青井 康夫

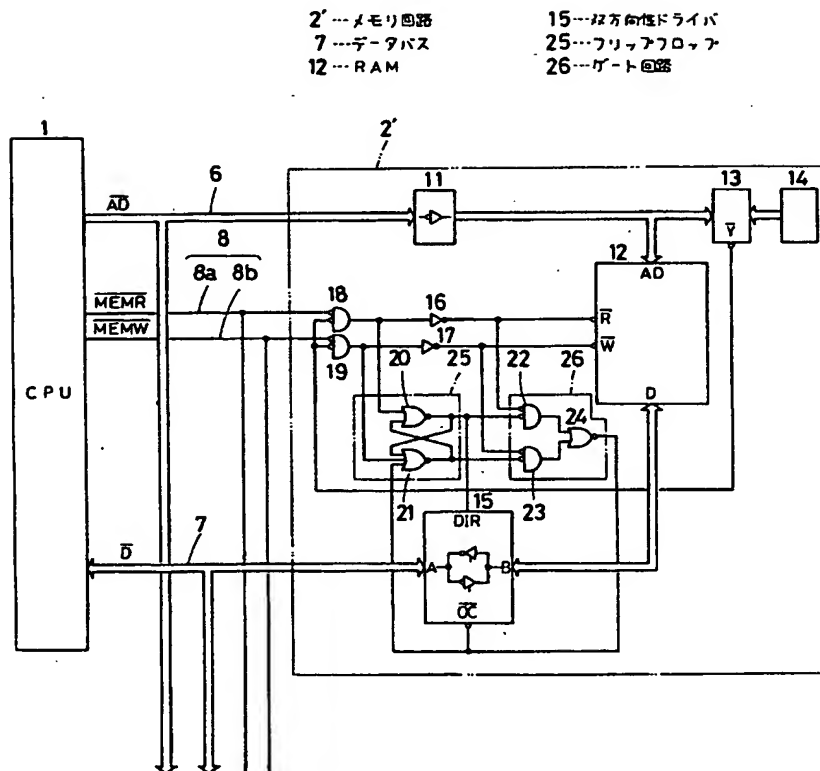
大宮
池井
印



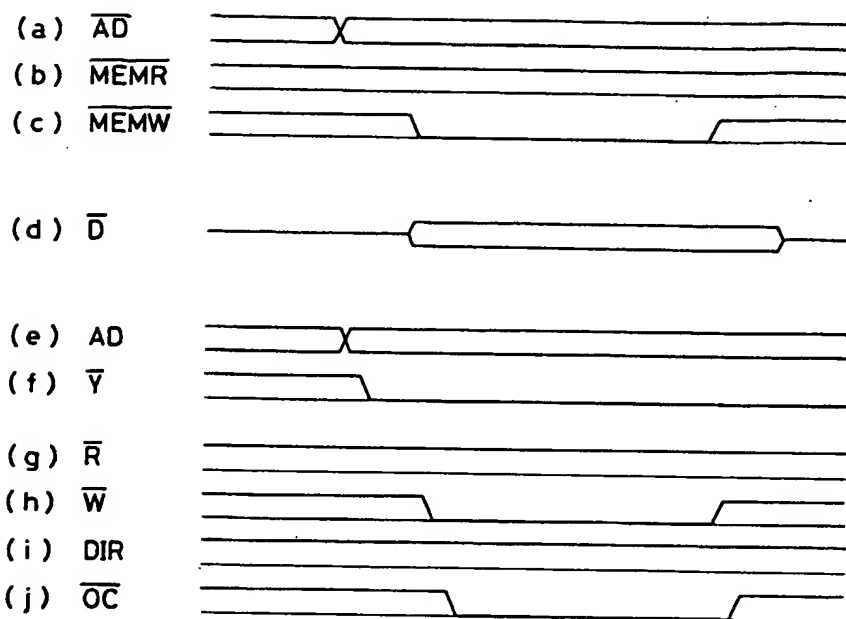
第 4 図



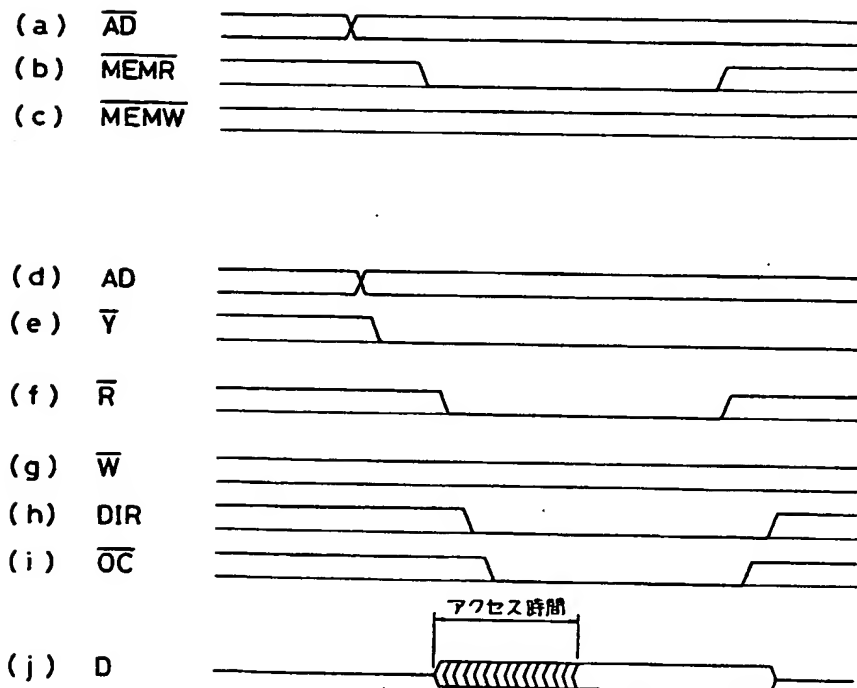
第 5 図



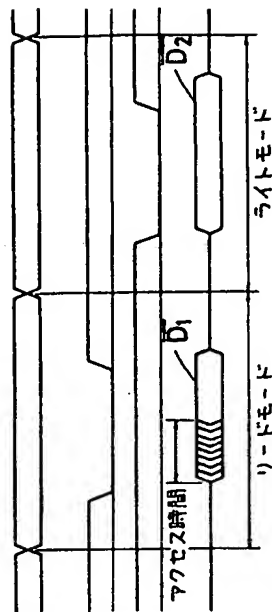
第 1 図



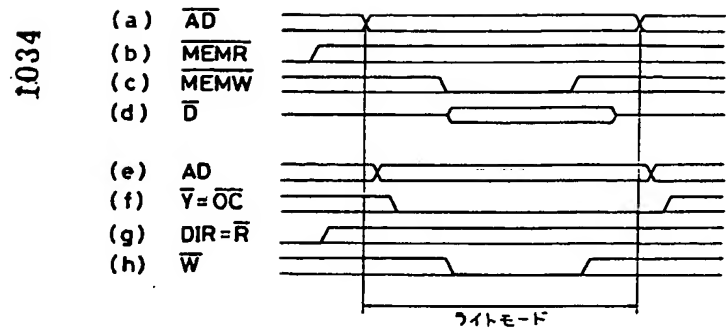
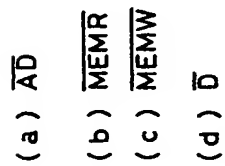
第 2 図



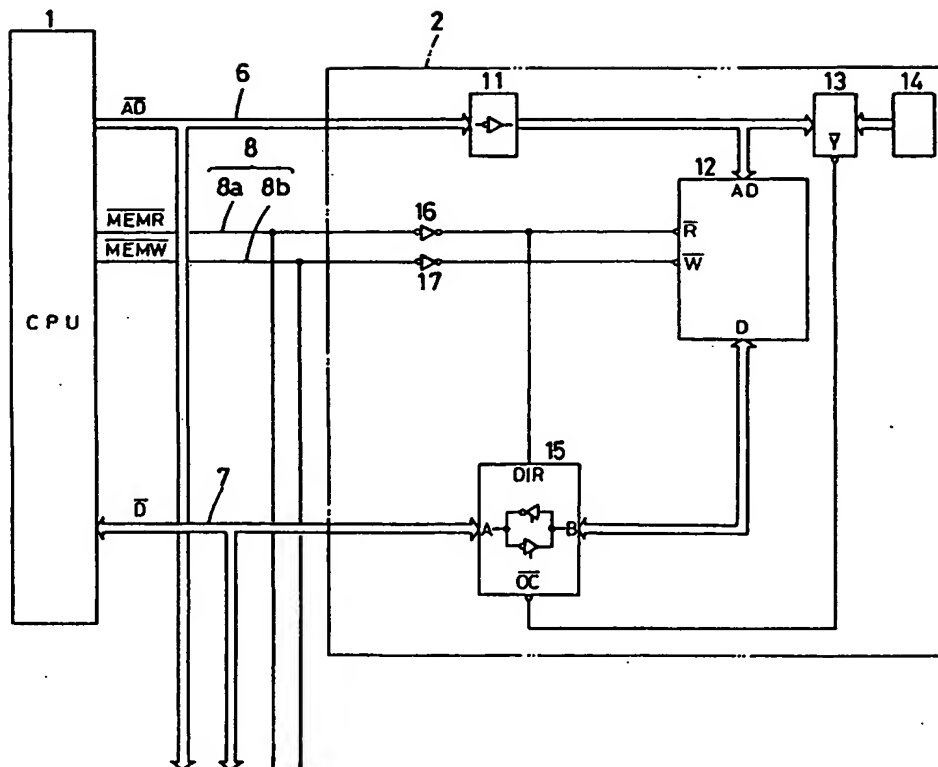
第 3 図



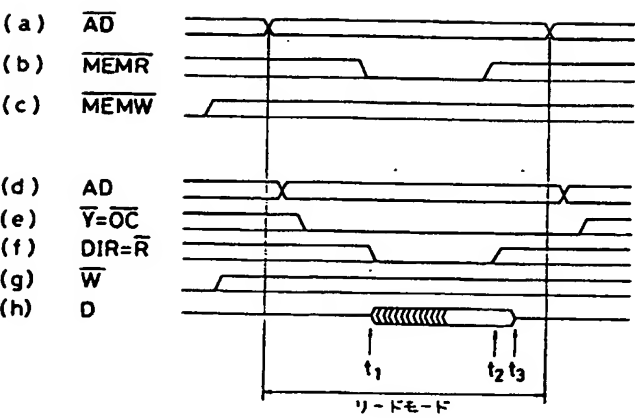
區 6 城



第 8 圖



第 7 図



第 9 図